

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-220069
 (43)Date of publication of application : 10.08.1999

(51)Int.CI. H01L 23/12
 H01L 21/3205
 H01L 23/14

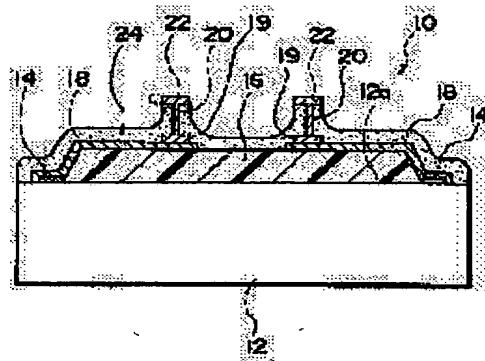
(21)Application number : 10-035417 (71)Applicant : SEIKO EPSON CORP
 (22)Date of filing : 02.02.1998 (72)Inventor : HASHIMOTO NOBUAKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE, CIRCUIT BOARD, AND/OR ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively absorb thermal stress, by providing an external electrode at a flexible deformation part that is electrically connected to the electrode of a semiconductor element and, at the same time, that is extended by specific length from an active surface in the region of the active surface.

SOLUTION: A stress relief layer 16 is formed on an active surface 12a of a semiconductor chip 12 by avoiding an electrode 14, and wiring 18 is formed from the electrode 14 to the stress relief layer 16. A junction part 19 is formed on the wiring 18, and a deformation part 20 with sectional area being smaller than that of the junction part 19 is formed on the junction part 19. The deformation part 20 consists of metal such as copper and vertically rises for the active surface for forming a slender shape in the active surface 12a. Since the deformation part 20 is in the slender shape, it can be flexed. At the tip of the deformation part 20, an external electrode part 22 is formed. The external electrode part 22 is used for electrically connecting a semiconductor device 10 to a packaging substrate.



LEGAL STATUS

[Date of request for examination] 18.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] A semiconductor device which has a semiconductor device, a variant part which extends by predetermined length from this active side in an active side field, and makes a turnable configuration while connecting with an electrode of this semiconductor device electrically, and external polar zone prepared in this variant part.

[Claim 2] A semiconductor device which has wiring which is arranged in a semiconductor device according to claim 1 in a different location from an electrode of said semiconductor device, and said variant part, and connects electrically an electrode and said variant part of said semiconductor device.

[Claim 3] A semiconductor device which has a protective coat which covers said wiring and loses an exposure in a semiconductor device according to claim 2.

[Claim 4] A semiconductor device which has a stress relaxation layer between either at least among said semiconductor device, and said wiring and said variant part in a semiconductor device according to claim 2 or 3.

[Claim 5] A semiconductor device which has a flexible member which carries out elastic deformation to either of claim 1 to claims 4 in a semiconductor device of a publication according to deformation of this variant part in contact with said variant part.

[Claim 6] It is a wrap semiconductor device about the whole surface [in / on a semiconductor device according to claim 5 and / in said flexible member / said semiconductor device] excluding a formation field of said external polar zone at least.

[Claim 7] It is the semiconductor device with which nothing and said external polar zone are prolonged at a right angle from a shaft of said variant part in the shape of a pillar, said variant part makes tabular in a larger area than the right-angled cross section on said shaft in said variant part, and is prepared at a tip of said variant part in a semiconductor device according to claim 5, and said flexible member is formed inside a periphery edge of said external polar zone.

[Claim 8] A manufacture method of a semiconductor device including a production process which is made to extend by predetermined length from this active side in an active side field

in a turnable configuration, and forms a variant part while making it connect with an electrode of a semiconductor device electrically, and a production process which forms external polar zone in this variant part.

[Claim 9] The formation production process of said variant part is the manufacture method of a semiconductor device including a production process which forms the resist section on said wiring, a production process which is on said wiring and forms a hole in said resist section, and the production process which cast a metal in said hole and form said variant part in it through electrochemical molding including the production process which connects to said electrode of said semiconductor device electrically, and forms wiring in the manufacture method of a semiconductor device according to claim 8.

[Claim 10] A manufacture method of a semiconductor device including a production process which removes above this lower part so that the lower part of said resist section may remain as a protective coat of said wiring in a manufacture method of a semiconductor device according to claim 9 after a production process which forms said variant part.

[Claim 11] In a manufacture method of a semiconductor device according to claim 9, a production process which forms said resist section A production process which forms the 1st thin resist layer which is sufficient for considering as a protective coat of said wiring, A production process which forms the 2nd resist layer thicker than said 1st resist layer, A material which leaves said 1st resist layer, removes said 2nd resist layer, and is used for said 1st and 2nd resist layers after a production process which forms an implication and said variant part is the manufacture method of a different semiconductor device in chemical property when being removed.

[Claim 12] A manufacture method of a semiconductor device including a production process which prepares resin which carries out elastic deformation according to deformation of this variant part in contact with said variant part in a manufacture method of a semiconductor device according to claim 10 or 11.

[Claim 13] In a manufacture method of a semiconductor device according to claim 9, a production process which forms said resist section After forming said variant part including a production process which forms the 1st thin resist layer which is sufficient for considering as a protective coat of said wiring, and a production process which forms the 2nd resist layer thicker than said 1st resist layer, while leaving said 1st resist layer A material which leaves a field near [said] a variant part, removes said 2nd resist layer, and is used for said 1st and 2nd resist layers is the manufacture method of a different semiconductor device in chemical property when being removed.

[Claim 14] In a manufacture method of a semiconductor device according to claim 9, a production process which forms said resist section while leaving formation of said hole, simultaneously said 1st resist layer including a production process which forms the 1st thin resist layer which is sufficient for considering as a protective coat of said wiring, and a

production process which forms the 2nd resist layer thicker than said 1st resist layer A material which leaves a field near [said] a variant part, removes said 2nd resist layer, and is used for said 1st and 2nd resist layers is the manufacture method of a different semiconductor device in chemical property when being removed.

[Claim 15] A manufacture method of a semiconductor device which includes a production process which forms a stress relaxation layer located under this wiring before a formation production process of said wiring in a manufacture method of a semiconductor device a publication in either of claim 9 to claims 14.

[Claim 16] The circuit board by which a semiconductor device of a publication was mounted in either of claim 1 to claims 7.

[Claim 17] Electronic equipment which has the circuit board according to claim 16.

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to electronic equipment at a semiconductor device and its manufacture method, and a circuit board list.

[0002]

[Background of the Invention] If the high density assembly of a semiconductor device is pursued, bare chip mounting is ideal, but since a guarantee of quality and handling are difficult, the bare chip has corresponded by processing a package gestalt.

[0003] For example, CSP (Chip Size/Scale Package) near a chip size is developed.

[0004] In the semiconductor device of the CSP mold currently developed with various gestalten, the flexible substrate by which patterning was carried out is formed in the active side side of a semiconductor chip as one gestalt, and there are some by which two or more external electrodes are formed in this flexible substrate. Moreover, pouring in resin between the active side of a semiconductor chip and a flexible substrate, and aiming at absorption of heat stress is also known. In addition, using a tape carrier package tape as a flexible substrate is indicated by JP,7-297236,A.

[0005] However, since the resin poured in between the active side of a semiconductor chip and a flexible substrate was very thin, absorption of sufficient heat stress was not made.

[0006] This invention solves this trouble and that purpose is in providing with electronic equipment the semiconductor device which can absorb heat stress effectively and its manufacture method, and a circuit board list.

[0007]

[Means for Solving the Problem] (1) A semiconductor device concerning this invention has a semiconductor device, a variant part which extends by predetermined length from this active side in an active side field, and makes a turnable configuration while connecting with an electrode of this semiconductor device electrically, and external polar zone prepared in this variant part.

[0008] This invention is the semiconductor device of a CSP mold with which external polar zone is prepared in an active side, and a variant part is crooked. Heat stress is absorbable with crookedness of this variant part.

[0009] (2) This invention is arranged in a different location from an electrode of said semiconductor device, and said variant part, and may have wiring which connects electrically an electrode and said variant part of said semiconductor device.

[0010] By carrying out like this, wiring can be pulled in an active side and a location of a variant part can be decided if needed.

[0011] (3) This invention may have a protective coat which covers said wiring and loses an exposure.

[0012] By carrying out like this, a protective coat can cover wiring and can protect the surface of wiring.

[0013] (4) This invention may have a stress relaxation layer between either at least among said semiconductor device, and said wiring and said variant part.

[0014] By carrying out like this, both absorption of heat stress by variant part, absorption of heat stress by stress relaxation layer, and ** are performed.

[0015] (5) This invention may have a flexible member which carries out elastic deformation according to deformation of this variant part in contact with said variant part.

[0016] By carrying out like this, since a variant part supports by flexible member, it can prevent that a variant part carries out plastic deformation according to external force other than heat stress. Moreover, since elastic deformation of the flexible member is carried out according to deformation of a variant part, it can also perform absorption of heat stress.

[0017] (6) As for said flexible member, said flexible member may cover the whole surface except a formation field of said external polar zone in said semiconductor device at least.

[0018] A flexible member can also serve as a protective coat on wiring by carrying out like this.

[0019] (7) Nothing and said external polar zone are prolonged at a right angle from a shaft of said variant part in the shape of a pillar, said variant part may make tabular in a larger area than the right-angled cross section on said shaft in said variant part, and may be prepared at a tip of said variant part, and said flexible member may be formed inside a periphery edge of said external polar zone.

[0020] By carrying out like this, a flexible member ceases to come out outside an external electrode.

[0021] (8) A manufacture method of a semiconductor device concerning this invention includes a production process which is made to extend by predetermined length from this active side in an active side field in a turnable configuration, and forms a variant part while making it connect with an electrode of a semiconductor device electrically, and a production process which forms external polar zone in this variant part.

[0022] By this method, external polar zone is prepared in an active side, and a semiconductor

device of a CSP mold with which a variant part came to be crooked can be manufactured.

[0023] (9) A formation production process of said variant part may also include a production process which forms the resist section on said wiring, a production process which is on said wiring and forms a hole in said resist section, and a production process which casts a metal in said hole and forms said variant part in it through electrochemical molding including a production process which is made to connect this invention to said electrode of said semiconductor device electrically, and forms wiring.

[0024] According to this production process, a variant part can be formed easily. After formation of a variant part may leave the resist section, and may remove it.

[0025] (10) This invention may also include a production process which removes above this lower part so that the lower part of said resist section may remain as a protective coat of said wiring after a production process which forms said variant part.

[0026] By carrying out like this, a protective coat can cover wiring and can protect the surface.

[0027] (11) A production process which forms the 1st thin resist layer which is sufficient for using as a protective coat of said wiring a production process which forms said resist section, A production process which forms the 2nd resist layer thicker than said 1st resist layer, Materials which leave said 1st resist layer, remove said 2nd resist layer, and are used for said 1st and 2nd resist layers after a production process which forms an implication and said variant part may differ in chemical property when being removed.

[0028] In this way, a variant part can be formed using the 1st and 2nd resist layers, the 2nd resist layer can be removed after that, and it can leave the 1st resist layer as a protective coat. Since it differs in chemical property in case the 1st and 2nd resist layers are removed especially, easily, it can leave the 1st resist layer and the 2nd resist layer can be removed.

[0029] (12) This invention may also include a production process which prepares resin which carries out elastic deformation according to deformation of this variant part in contact with said variant part.

[0030] By carrying out like this, resin can support a variant part and a semiconductor device which can prevent that a variant part carries out plastic deformation according to external force other than heat stress can be obtained.

[0031] (13) A production process which forms the 1st thin resist layer which is sufficient for using as a protective coat of said wiring a production process which forms said resist section, After forming said variant part including a production process which forms the 2nd resist layer thicker than said 1st resist layer, while leaving said 1st resist layer Materials which leave a field near [said] a variant part, remove said 2nd resist layer, and are used for said 1st and 2nd resist layers may differ in chemical property when being removed.

[0032] Here, only a field near a variant part is left behind, and the 2nd resist layer supports a variant part, and can prevent now that a variant part carries out plastic deformation according to external force other than heat stress.

[0033] Moreover, according to this manufacture method, a variant part can be formed using the 1st and 2nd resist layers, and it can leave the 1st resist layer as a protective coat after that. Since the 1st and 2nd resist layers differ in chemical property when being removed, easily, they can leave the 1st resist layer and can remove the greater part of 2nd resist layer.

[0034] (14) A production process which forms the 1st thin resist layer which is sufficient for using as a protective coat of said wiring a production process which forms said resist section, while leaving formation of said hole, simultaneously said 1st resist layer including a production process which forms the 2nd resist layer thicker than said 1st resist layer Materials which leave a field near [said] a variant part, remove said 2nd resist layer, and are used for said 1st and 2nd resist layers may differ in chemical property when being removed.

[0035] Here, since a production process which leaves and removes a part of 2nd resist layer to a production process and coincidence which form a hole is performed, production process time amount is shortened.

[0036] Only a field near a variant part is left behind and the 2nd resist layer serves as a flexible member which touches a peripheral face of a variant part. And it can prevent now that a part of 2nd left-behind resist layer supports a variant part, and a variant part carries out plastic deformation according to external force other than heat stress.

[0037] Moreover, since it differs in chemical property in case the 1st and 2nd resist layers are removed according to this manufacture method, easily, it can leave the 1st resist layer as a protective coat, and the greater part of 2nd resist layer can be removed.

[0038] (15) This invention may also include a production process which forms a stress relaxation layer located under this wiring before a formation production process of said wiring.

[0039] By carrying out like this, a semiconductor device with which both absorption of heat stress by variant part, absorption of heat stress by stress relaxation layer, and ** are performed can be manufactured.

[0040] (16) As for the circuit board concerning this invention, it comes to mount the above-mentioned semiconductor device.

[0041] (17) Electronic equipment concerning this invention has the above-mentioned circuit board.

[0042]

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained with reference to a drawing.

[0043] In addition, each drawing expands and shows a part, in order to give explanation intelligible. In the following explanation, since it is explaining supposing one semiconductor device when finally making it the piece of an individual, there is a part which is different in it being actual a little in the term, the configuration, etc. of using. The part indicated to be a semiconductor chip may not remain, when pointing out the thing of the piece of an individual (the shape of namely, a chip) as the semantics, but it may point out the thing of the shape of a

wafer which is not a piece of an individual. That is, it is not necessary to limit about whether it is separated and the predetermined circuit which can be used even if it separates from a semiconductor chip here on a base substrate (for example, it consists of silicon) serves as a piece of an individual formed [just], or it is especially united. Moreover, since only the typical part of a part required for explanation of wiring etc. is taken up, the structure of the same thing as other parts or others is omitted in each drawing.

[0044] (The 1st operation gestalt) Drawing 1 is the cross section showing the semiconductor device concerning the 1st operation gestalt. The semiconductor device 10 shown in this drawing is a thing of a CSP mold which has the stress relaxation layer 16 and the wiring 18 formed on this. In detail, on active side 12a of a semiconductor chip 12, an electrode 14 is avoided, the stress relaxation layer 16 is formed, it applies on the stress relaxation layer 16 from an electrode 14, and wiring 18 is formed.

[0045] Here, the stress relaxation layer 16 eases the stress produced according to the difference of the coefficient of thermal expansion of a semiconductor chip 12 and the substrate mounted, when it consists of polyimide resin and a semiconductor device 10 is mounted in a substrate (not shown). Moreover, polyimide resin has insulation to wiring 18, and can protect active side 12a of a semiconductor chip 12, and it also has the thermal resistance when fusing the pewter at the time of mounting. It is desirable to use the things (for example, the polyimide resin of an olefin system, BCB by the Dow Chemical Co., etc.) which have low Young's modulus also in polyimide resin, and especially Young's modulus is 2 40·50kg/mm. It is desirable that it is a degree. The stress relaxation force becomes large so that it is thick, but when magnitude, a manufacturing cost, etc. of a semiconductor device are taken into consideration, as for the stress relaxation layer 16, it is desirable to consider as the thickness of about 1·100 micrometers. However, Young's modulus is 2 40·50kg/mm. When the polyimide resin which is a degree is used, the thickness of about 10 micrometers is sufficient.

[0046] Or for example, silicone denaturation polyimide resin, an epoxy resin, a silicone modified epoxy resin, etc. may use the quality of the material which Young's modulus is low and can achieve work of stress relaxation as a stress relaxation layer 16. Moreover, instead of the stress relaxation layer 16, passivation layers (SiN, SiO₂, etc.) may be formed and the stress relaxation itself may be performed by the variant part 20 mentioned later. In this case, the stress relaxation layer 16 may be formed auxiliary.

[0047] Wiring 18 consists of chromium (Cr). Here, chromium (Cr) was chosen from adhesion with the polyimide resin which constitutes the stress relaxation layer 16 being good. Or as long as it takes crack-proof nature into consideration, a metal with spread nature (prolonged property) like aluminum alloys, such as aluminum, and aluminum silicon, an aluminum kappa, a kappa alloy, copper (Cu), or gold is sufficient. Or if titanium or a titanium tungsten excellent in moisture resistance is chosen, the open circuit by corrosion can be prevented. Titanium is desirable also from a viewpoint of adhesion with polyimide. In addition, wiring

may be formed combining the above-mentioned metal more than two-layer. In addition, about a wiring material, it is common to each following operation gestalt.

[0048] A joint 19 is formed on wiring 18 and the variant part 20 with the cross section smaller than this joint 19 is formed on the joint 19. A variant part 20 consists of metals, such as copper, within active side 12a, starts at a right angle mostly to an active side, and makes a long and slender configuration. Since a variant part 20 makes a long and slender configuration, it can be crooked by it as a two-dot chain line shows to the left-hand side of drawing 1.

[0049] The external polar zone 22 is formed at the tip of a variant part 20. The external polar zone 22 is for aiming at electric connection between a semiconductor device 10 and a mounting substrate (not shown), and a pewter ball etc. may be prepared upwards. The external polar zone 22 is formed in the magnitude which enables electric connection with a mounting substrate, or pewter ball loading. Or it is good also considering the point of a variant part 20 as external polar zone 22. This is common also in the following operation gestalten.

[0050] Moreover, on wiring 18 and the stress relaxation layer 16, solder resist 24 is formed so that the upper part of the whole surface of active side 12a may be covered. This solder resist 24 protects wiring 18 and active side 12a, and these corrosion etc. is prevented.

[0051] According to this operation gestalt, if a variant part 20 bends and deforms, the external polar zone 22 will move according to it. The heat stress added to the external polar zone 22 of a semiconductor device 10 by becoming like this is absorbed by deformation of a variant part 20.

[0052] In addition, although the stress relaxation layer 16 is formed with this operation gestalt, since the variant part 20 is formed so that it may be easy to deform and may consist of a stress relaxation layer 16, it is possible [the variant part] at least for variant part 20 to absorb heat stress. Therefore, even if it is the structure in which the layer (for example, a mere insulating layer or a protective layer) which consists of the quality of the material which does not have a stress relaxation function instead of the stress relaxation layer 16 was formed, it becomes absorbable [heat stress].

[0053] (The 2nd operation gestalt) Drawing 2 is the cross section showing the semiconductor device concerning the 2nd operation gestalt. In the semiconductor device 30 shown in this drawing, wiring 38 is formed on the passivation film which a semiconductor chip 32 does not illustrate. Wiring 38 is subtracted from the electrode 34 prepared in the edge of active side 32a of a semiconductor chip 32 in the direction of a center. And the variant part 40 is formed after wiring 38 near the center of active side 32a. The external polar zone 42 is formed at the tip of a variant part 40. The configuration and function of a variant part 40 and the external polar zone 42 are the same as that of the variant part 20 and the external polar zone 22 which are shown in drawing 1. And it is on wiring 38, active side 32a is covered, and the protective coat 36 is formed. Wiring 38 is protected from oxidation etc. by the protective coat 36. With

this operation gestalt, a protective coat 36 may be formed from the resist for except for the light, although formed from the photoresist (photosensitive polyimide resin etc.).

[0054] Also with this operation gestalt, absorption of heat stress can be aimed at by a variant part 40 deforming.

[0055] Next, drawing 3 (A) - drawing 5 (B) are drawings showing the manufacture method of the semiconductor device shown in drawing 2. This method is the method of cutting to the piece of an individual, after manufacturing two or more semiconductor devices in the condition of a wafer in one.

[0056] First, the element of electrode 34 and others is usually formed in the wafer 50 to the condition before performing dicing with well-known technology (refer to drawing 3 (A)). In addition, with this operation gestalt, although an electrode 34 is formed with aluminum, it may use the materials (for example, aluminum silicon, aluminum silicon copper, etc.) of an aluminium alloy system, or the material of a copper system.

[0057] Moreover, in order to prevent chemical change, the passivation film (not shown) which consists of an oxide film etc. is formed in the surface of a wafer 50. A passivation film also avoids the scribe line where dicing is performed, and it not only avoids an electrode 34, but is formed. By not forming a passivation film in a scribe line, at the time of dicing, generating of the dust generated with a passivation film can be avoided, and generating of the crack of a passivation film can also be prevented further.

[0058] Then, sputtering is performed by using a wafer 50 as a target, and the foreign matter of the surface of a wafer 50 is flown.

[0059] Next, wiring 34 is formed as shown in drawing 3 (A). If the case where a titanium tungsten (TiW) layer and a copper (Cu) layer are formed in piles all over a wafer 50 by sputtering is specifically described, a coppering layer will be formed with electric plating on a copper layer. And to a titanium tungsten layer, a copper layer, and a coppering layer, dry etching is performed with the application of the technology of a photolithography, and wiring 38 is formed.

[0060] Next, as shown in drawing 3 (B), a wiring 38 top is covered, all over a wafer 50, photosensitive polyimide resin is applied and a protective coat 36 is formed.

[0061] And as shown in drawing 3 (C), a mask 52 is arranged above a protective coat 36. Hole 52a is formed corresponding to the formation field of a variant part 40 shown in a mask 52 at drawing 2. A variant part 40 is located after wiring 38. In order to form a variant part 40, to wiring 38, it is desirable that a land with a larger area than the width of face of wiring 38 the very thing is formed. Light 54 is irradiated from the upper part of a mask 52, a protective coat 36 is exposed, and the production process of desiccation, development, washing, desiccation, and hardening is performed after that. In this way, as shown in drawing 4 (A), hole 36a is formed in a protective coat 36. Hole 36a is penetrated until it results in wiring 38.

[0062] Then, as shown in drawing 4 (B), the resist layer 56 is formed on a protective coat 36.

The resist layer 56 consists of photosensitive resin which is different in a protective coat 36. Specifically, the resist layer 56 differs from a protective coat 36 in the property when being removed chemically. And even if it removes the resist layer 56, a protective coat 36 is removed. Moreover, the resist layer 56 is formed more thickly (for example, about 100-300 micrometers) than a protective coat 36. This thickness is equivalent to the height of a variant part 40.

[0063] And as shown in drawing 4 (C), a mask 52 is arranged above the resist layer 56. A mask 52 is used when hole 36a is formed in a protective coat 36, and the hole 52a is made to correspond to hole 36a of a protective coat 36, and it arranges it. Light 54 is irradiated from the upper part of a mask 52, the resist layer 56 is exposed, and the production process of desiccation, development, washing, desiccation, and hardening is performed after that.

[0064] In this way, as shown in drawing 5 (A), hole 56a is formed in the resist layer 56. Hole 56a is open for free passage with hole 36a of a protective coat 36, and hole 36a is penetrated until it results in wiring 38.

[0065] Then, as shown in drawing 5 (B), in hole 36a and hole 56a, a metal is plated through electrochemical molding (electric plating), an electroless deposition method, etc., and a variant part 40 is formed. The copper conductivity of the metal used here is high. Moreover, the external polar zone 42 is formed in the upper limit of a variant part 40. Formation of the external polar zone 42 may be continuously performed with formation of a variant part 40. In that case, although the external polar zone 42 is formed from the same metal as a variant part 40, as the 1st operation gestalt described, it may use the other conductive high metal.

[0066] Then, the resist layer 56 is removed. As mentioned above, the resist layer 56 differs from a protective coat 36 in chemical property, and even if it removes the resist layer 56, a protective coat 36 remains. And a wafer 50 is cut to the piece of an individual, and the semiconductor device 30 shown in drawing 2 is obtained. In addition, a pewter ball may be carried in the external polar zone 42 if needed.

[0067] According to the above-mentioned production process, it can manufacture by performing almost all production processes in a wafer process. Specifically two or more semiconductor devices are manufactured in one, a wafer 50 is cut to each piece of an individual after that, and a semiconductor device 30 is obtained.

[0068] Thus, if it cuts to each semiconductor device after performing almost all production processes in a wafer process, since many semiconductor devices 30 can be formed in coincidence, a manufacturing process can be simplified.

[0069] In addition, you may leave at the above-mentioned production process, without removing the resist layer 56. In this case, the resist layer 56 serves as a flexible member which touches the peripheral face of a variant part 40, when formed from a material with low Young's modulus. And it prevents that a variant part 40 deforms the resist layer 56 plastically according to external force etc.

[0070] Moreover, at the above-mentioned production process, although Holes 36a and 56a

were formed by the photolithography, these may be formed using laser.

[0071] (The 3rd operation gestalt) Drawing 6 is the cross section showing the semiconductor device concerning the 3rd operation gestalt. The flexible section 62 is formed in the perimeter of the variant part 40 of the semiconductor device 30 which shows the semiconductor device 60 shown in this drawing to drawing 2. In detail, as for the flexible section 62, it is desirable to consist of resin which can achieve work of the stress relaxation stated with the 1st operation gestalten, such as polyimide resin, and to use a thing especially with low Young's modulus.

[0072] According to this operation gestalt, the flexible section 62 is in contact with the peripheral face of a variant part 40, and carries out elastic deformation also of the flexible section 62 according to deformation of a variant part 40. A variant part 40 is supported by this and the plastic deformation of the variant part 40 by external force etc. is prevented.

[0073] (The 4th operation gestalt) Drawing 7 (A) is the cross section showing the semiconductor device concerning the 4th operation gestalt. The semiconductor device 70 shown in this drawing has the semiconductor chip 32 shown in drawing 2, an electrode 34, a protective coat 36, wiring 38, a variant part 40, and the external polar zone 42. And the flexible section 72 is formed so that the peripheral face of a variant part 40 may be touched. In detail, the flexible section 72 is formed in the bottom of this external polar zone 42 so that the appearance of the external polar zone 42 may not be exceeded. In addition, the flexible section 72 consists of photoresists, such as polyimide resin with low Young's modulus.

[0074] Drawing 7 (B) is drawing showing the manufacture method of a semiconductor device 70. In this drawing, a protective coat 36 is formed on active side 32a of a semiconductor chip 32, and the resist layer 74 is formed on the protective coat 36. This condition is the same as the condition which shows in drawing 5 (B), and is formed by the same method. The resist layer 74 is equivalent to the resist layer 56 shown in drawing 5 (B).

[0075] And a mask 76 is arranged above the resist layer 74. Opening 76a is formed in the mask 76 corresponding to the outside of the external polar zone 42. Therefore, if it lets a mask 76 pass, the resist layer 74 is exposed and developed and an exposure field is removed, as shown in drawing 7 (A), the external polar zone 42 will set the resist layer 74 caudad, it will remain, and the flexible section 72 will remain.

[0076] Also with this operation gestalt, the flexible section 72 is in contact with the peripheral face of a variant part 40, and the flexible section 72 carries out elastic deformation according to deformation of a variant part 40. A variant part 40 is supported by this and the plastic deformation of the variant part 40 by external force etc. is prevented.

[0077] In addition, dry or wet etching may perform removal of the resist layer 74.

[0078] Drawing 8 (A) and drawing 8 (B) are drawings showing the modification of the manufacture method of the semiconductor device concerning the 4th operation gestalt. In this modification, as shown in drawing 8 (A), after forming a protective coat 36 on active side 32a

of a semiconductor chip 32 and forming hole 36a in a protective coat 36, the resist layer 78 is formed on a protective coat 36. The resist layer 78 is formed from the same material as the resist layer 74 shown in drawing 7 (B).

[0079] And a mask 80 is arranged on the resist layer 78. A mask 80 forms the pattern corresponding to the shape of a plan type of the flexible section 72 shown in drawing 7 (A). That is, hole 80b and ** which are located above opening 80a corresponding to the outside of the appearance of the flexible section 72 and hole 36a of a protective coat 36 are formed in the mask 80.

[0080] Therefore, if the resist layer 78 is exposed and developed through this mask 80 and an exposure field is removed, as shown in drawing 8 (B), the cylinder section 82 will remain. Hole 36a of a protective coat 36 and hole 82a open for free passage are formed in the cylinder section 82.

[0081] And by forming a variant part 40 in hole 82a and 36a, the cylinder section 82 turns into the flexible section 72, and can manufacture the semiconductor device 70 shown in drawing 7 (A).

[0082] According to this modification, since formation of hole 82a, removal of the exposure field of the resist layer 78, and ** can carry out to coincidence, compaction of a production process can be aimed at.

[0083] The plan of the semiconductor device shown in drawing 1 is shown as a semiconductor device of the typical CSP mold with which this invention is applied to drawing 9. In this drawing, from the electrode 14 of a semiconductor chip 12, wiring 18 is formed in the direction of a center of active side 12a, and the external polar zone 22 is formed in each wiring 18 through the variant part 20 (refer to drawing 1). All the external polar zone 22 is formed on the stress relaxation layer 16, as shown in drawing 1. And relaxation of the stress when being mounted in the circuit board (not shown) can be aimed at by the variant part 20 (refer to drawing 1) and the stress relaxation layer 16. In addition, since the stress relaxation layer 16 is not an indispensable configuration, at least variant-part 20 can aim at relaxation of stress. Moreover, solder resist 24 is formed in the field except the external polar zone 22 as a protective coat.

[0084] Although an electrode 14 is the so-called circumference electrode type located in the periphery of a semiconductor chip 12 of example, the semiconductor chip of the area array arrangement mold with which the electrode was formed in the inside [boundary region / of a semiconductor chip] field may be used for it.

[0085] In addition, as shown in this drawing, the external polar zone 22 is formed in the active region (field in which the active element is formed) of a semiconductor chip 12 instead of the electrode 14 top of a semiconductor chip 12. The stress relaxation layer 16 can be formed in an active region, and the external polar zone 22 can be formed in an active region by what (it draws) wiring 18 is further arranged for in an active region. That is, pitch conversion can be

carried out. Therefore, in case the external polar zone 22 is arranged, the field as the inside of an active region, i.e., a fixed field, can be offered, and the flexibility of the setting location of the external polar zone 22 will increase very much.

[0086] And by making wiring 18 crooked in a required location, the external polar zone 22 is formed so that it may stand in a line in the shape of a grid. In addition, since this is not the indispensable configuration of this invention, it is not necessarily necessary to form the external polar zone 22 so that it may stand in a line in the shape of a grid.

[0087] Moreover, although the width of face of an electrode 14 and the width of face of wiring 18 serve as the wiring 18< electrode 14 in the joint of an electrode 14 and wiring 18 at drawing 9, it is desirable to consider as the electrode 14 <= wiring 18. When becoming the electrode 14< wiring 18 especially, since about [that the resistance of wiring 18 becomes small] and reinforcement increases, an open circuit is prevented.

[0088] In addition, this invention is not limited to the semiconductor device of a CSP mold. For example, if the laminating of the direct variant part is carried out on the electrode of a semiconductor chip, though it is size equivalent to a flip chip, the semiconductor device which also has a stress relaxation function will be obtained.

[0089] The circuit board 1000 which mounted the semiconductor device 1100 manufactured by the method concerning the operation gestalt mentioned above in drawing 10 is shown. It is common to the circuit board 1000 to use organic system substrates, such as for example, a glass epoxy group board. While being formed so that the circuit pattern which becomes the circuit board 1000 from copper may serve as a desired circuit, the pewter ball is prepared in this circuit board 1000. And those electric flows are achieved by connecting mechanically the pewter ball of a circuit pattern, and the external polar zone of a semiconductor device 1100.

[0090] In this case, since the structure which absorbs distortion produced by the differential thermal expansion with the exterior to a semiconductor device 1100 is established, even if it mounts this semiconductor device 1100 in the circuit board 1000, the time of connection and the reliability after it can be improved.

[0091] In addition, it can be made small even in the area which also mounted the component-side product with the bare chip. For this reason, if this circuit board 1000 is used for electronic equipment, the miniaturization of the electronic equipment itself can be attained. Moreover, a mounting space can be secured more in the same area, and it is also possible to attain advanced features.

[0092] And the note type personal computer 1200 is shown in drawing 11 as electronic equipment equipped with this circuit board 1000.

[0093] In addition, active parts or a passive component cannot be asked but this invention can also be applied to the electronic parts for various surface mounting. As electronic parts, there is a resistor, a capacitor, a coil, an oscillator, a filter, a temperature sensor, a thermistor, a varistor, volume, or a fuse.

[0094]

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is drawing showing the semiconductor device concerning the 1st operation gestalt.

[Drawing 2] Drawing 2 is drawing showing the semiconductor device concerning the 2nd operation gestalt.

[Drawing 3] Drawing 3 (A) - drawing 3 (C) are drawings showing the manufacture method of the semiconductor device concerning the 2nd operation gestalt.

[Drawing 4] Drawing 4 (A) - drawing 4 (C) are drawings showing the manufacture method of the semiconductor device concerning the 2nd operation gestalt.

[Drawing 5] Drawing 5 (A) and drawing 5 (B) are drawings showing the manufacture method of the semiconductor device concerning the 2nd operation gestalt.

[Drawing 6] Drawing 6 is the cross section showing the semiconductor device concerning the 3rd operation gestalt.

[Drawing 7] Drawing 7 (A) and drawing 7 (B) are drawings showing the semiconductor device concerning the 4th operation gestalt, and its manufacture method.

[Drawing 8] Drawing 8 (A) and drawing 8 (B) are drawings showing the modification of the manufacture method of the semiconductor device concerning the 4th operation gestalt.

[Drawing 9] Drawing 9 is drawing showing the semiconductor device of the typical CSP mold with which this invention is applied.

[Drawing 10] Drawing 10 is drawing showing the circuit board in which the semiconductor device concerning this operation gestalt was mounted.

[Drawing 11] Drawing 11 is drawing showing electronic equipment equipped with the circuit board in which the semiconductor device concerning this operation gestalt was mounted.

[Description of Notations]

10 Semiconductor Device

12 Semiconductor Chip

12a Active side

14 Electrode

16 Stress Relaxation Layer

18 Wiring

20 Variant Part

22 External Polar Zone

36 Protective Coat

56 Resist Layer (Flexible Member)

72 Flexible Section (Flexible Member)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-220069

(43)公開日 平成11年(1999)8月10日

(51)Int.Cl.⁶

H 0 1 L 23/12
21/3205
23/14

識別記号

F I

H 0 1 L 23/12
21/88
23/12
23/14

L
T
Q
R

審査請求 未請求 請求項の数17 FD (全 10 頁)

(21)出願番号

特願平10-35417

(22)出願日

平成10年(1998)2月2日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 橋元 伸晃

長野県飯田市大和3丁目3番5号 セイコーエプソン株式会社内

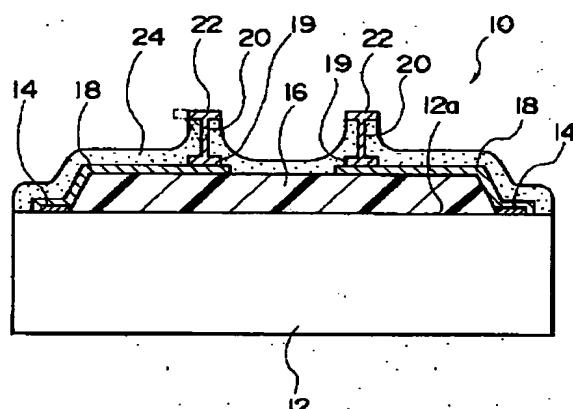
(74)代理人弁理士 井上一 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57)【要約】

【課題】 热ストレスを効果的に吸收することができる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 半導体チップ12と、半導体チップ12の電極14に電気的に接続されるとともに能動面12a内で上方に立ち上がって屈曲可能な形状をなす変形部20と、変形部20の先端に設けられる外部電極部22と、を有する。



1

【特許請求の範囲】

【請求項1】 半導体素子と、該半導体素子の電極に電気的に接続されるとともに能動面領域内で該能動面から所定長さ分延出して屈曲可能な形状をなす変形部と、該変形部に設けられる外部電極部と、を有する半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記半導体素子の電極と前記変形部とは異なる位置に配置され、前記半導体素子の電極と前記変形部とを電気的に接続する配線を有する半導体装置。

【請求項3】 請求項2記載の半導体装置において、前記配線を覆って露出面をなくす保護膜を有する半導体装置。

【請求項4】 請求項2又は請求項3記載の半導体装置において、前記半導体素子と、前記配線及び前記変形部のうち少なくともいずれか一方との間に応力緩和層を有する半導体装置。

【請求項5】 請求項1から請求項4のいずれかに記載の半導体装置において、前記変形部に接して該変形部の変形に応じて弾性変形する柔軟部材を有する半導体装置。

【請求項6】 請求項5記載の半導体装置において、前記柔軟部材は、前記半導体素子における少なくとも前記外部電極部の形成領域を除く全面を覆う半導体装置。

【請求項7】 請求項5記載の半導体装置において、前記変形部は柱状をなし、前記外部電極部は、前記変形部の軸から直角に延び、前記変形部における前記軸に直角な断面積よりも大きい面積で板状をなして前記変形部の先端に設けられ、前記柔軟部材は、前記外部電極部の外周端よりも内側に形成される半導体装置。

【請求項8】 半導体素子の電極に電気的に接続されるとともに屈曲可能な形状で能動面領域内で該能動面から所定長さ分延出させて変形部を形成する工程と、該変形部に外部電極部を形成する工程と、を含む半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、

前記半導体素子の前記電極に電気的に接続させて配線を形成する工程を含み、前記変形部の形成工程は、前記配線上にレジスト部を形成する工程と、前記配線上で前記レジスト部に穴を形成する工程と、電気鋳造法を通じて前記穴に金属を鋳造して前記変形部を形成する工程と、を含む半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

前記変形部を形成する工程の後に、前記レジスト部の下部が前記配線の保護膜として残るよう前記下部よりも上

2

部を除去する工程を含む半導体装置の製造方法。

【請求項11】 請求項9記載の半導体装置の製造方法において、

前記レジスト部を形成する工程は、前記配線の保護膜とするに足りる薄い第1のレジスト層を形成する工程と、前記第1のレジスト層よりも厚い第2のレジスト層を形成する工程と、を含み、

前記変形部を形成する工程の後に、前記第1のレジスト層を残して前記第2のレジスト層を除去し、

10 前記第1及び第2のレジスト層に用いられる材料は、除去されるときの化学的性質において異なる半導体装置の製造方法。

【請求項12】 請求項10又は請求項11記載の半導体装置の製造方法において、

前記変形部に接して該変形部の変形に応じて弾性変形する樹脂を設ける工程を含む半導体装置の製造方法。

【請求項13】 請求項9記載の半導体装置の製造方法において、

20 前記レジスト部を形成する工程は、前記配線の保護膜とするに足りる薄い第1のレジスト層を形成する工程と、前記第1のレジスト層よりも厚い第2のレジスト層を形成する工程と、を含み、

前記変形部を形成した後に、前記第1のレジスト層を残すとともに、前記変形部付近の領域を残して前記第2のレジスト層を除去し、

前記第1及び第2のレジスト層に用いられる材料は、除去されるときの化学的性質において異なる半導体装置の製造方法。

【請求項14】 請求項9記載の半導体装置の製造方法

30 において、前記レジスト部を形成する工程は、前記配線の保護膜とするに足りる薄い第1のレジスト層を形成する工程と、前記第1のレジスト層よりも厚い第2のレジスト層を形成する工程と、を含み、

前記穴の形成と同時に、前記第1のレジスト層を残すとともに、前記変形部付近の領域を残して前記第2のレジスト層を除去し、

前記第1及び第2のレジスト層に用いられる材料は、除去されるときの化学的性質において異なる半導体装置の製造方法。

【請求項15】 請求項9から請求項14のいずれかに記載の半導体装置の製造方法において、

前記配線の形成工程の前に、該配線の下に位置する応力緩和層を形成する工程を含む半導体装置の製造方法。

【請求項16】 請求項1から請求項7のいずれかに記載の半導体装置が実装された回路基板。

【請求項17】 請求項16記載の回路基板を有する電子機器。

【発明の詳細な説明】

50 【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】半導体装置の高密度実装を追求するとベアチップ実装が理想的であるが、ベアチップは品質の保証及び取り扱いが難しいため、パッケージ形態に加工することに対応してきた。

【0003】例えば、チップサイズに近いCSP (Chip Size/Scale Package) が開発されている。

【0004】各種形態にて開発されているCSP型の半導体装置の中で、1つの形態として、半導体チップの能動面側にパターニングされたフレキシブル基板が設けられており、このフレキシブル基板に複数の外部電極が形成されているものがある。また、半導体チップの能動面とフレキシブル基板との間に樹脂を注入して、熱ストレスの吸収を図ることも知られている。なお、特開平7-297236号公報には、フレキシブル基板としてフィルムキャリアテープを用いることが記載されている。

【0005】しかしながら、半導体チップの能動面とフレキシブル基板との間に注入される樹脂は、極めて薄いために十分な熱ストレスの吸収がなされていなかった。

【0006】本発明は、この問題点を解決するものであり、その目的は、熱ストレスを効果的に吸収することができる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0007】

【課題を解決するための手段】(1) 本発明に係る半導体装置は、半導体素子と、該半導体素子の電極に電気的に接続されるとともに能動面領域内で該能動面から所定長さ分延出して屈曲可能な形状をなす変形部と、該変形部に設けられる外部電極部と、を有する。

【0008】本発明は、外部電極部が能動面内に設けられるCSP型の半導体装置であって、変形部が屈曲するようになっている。この変形部の屈曲によって、熱ストレスを吸収することができる。

【0009】(2) 本発明は、前記半導体素子の電極と前記変形部とは異なる位置に配置され、前記半導体素子の電極と前記変形部とを電気的に接続する配線を有してもよい。

【0010】こうすることで、能動面内で配線をひいて、変形部の位置を必要に応じて決めることができる。

【0011】(3) 本発明は、前記配線を覆って露出面をなくす保護膜を有してもよい。

【0012】こうすることで、保護膜が配線を覆って配線の表面を保護することができる。

【0013】(4) 本発明は、前記半導体素子と、前記配線及び前記変形部のうち少なくともいずれか一方との間に応力緩和層を有してもよい。

【0014】こうすることで、変形部による熱ストレスの吸収と、応力緩和層による熱ストレスの吸収との両

方が行われる。

【0015】(5) 本発明は、前記変形部に接して該変形部の変形に応じて弾性変形する柔軟部材を有してもよい。

【0016】こうすることで、柔軟部材によって変形部が支えられるので、熱ストレス以外の外力によって変形部が可塑変形してしまうことを防止できる。また、柔軟部材は、変形部の変形に応じて弾性変形するので熱ストレスの吸収も行うことができる。

10 【0017】(6) 前記柔軟部材は、前記柔軟部材は、前記半導体素子における少なくとも前記外部電極部の形成領域を除く全面を覆ってもよい。

【0018】こうすることで、柔軟部材が配線上の保護膜を兼ねることもできる。

【0019】(7) 前記変形部は柱状をなし、前記外部電極部は、前記変形部の軸から直角に延び、前記変形部における前記軸に直角な断面積よりも大きい面積で板状をなして前記変形部の先端に設けられ、前記柔軟部材は、前記外部電極部の外周端よりも内側に形成されてもよい。

20 【0020】こうすることで、柔軟部材が外部電極よりも外側に出ないようになる。

【0021】(8) 本発明に係る半導体装置の製造方法は、半導体素子の電極に電気的に接続させるとともに屈曲可能な形状で能動面領域内で該能動面から所定長さ分延出させて変形部を形成する工程と、該変形部に外部電極部を形成する工程と、を含む。

【0022】この方法によって、外部電極部が能動面内に設けられ、変形部が屈曲するようになったCSP型の半導体装置を製造することができる。

30 【0023】(9) 本発明は、前記半導体素子の前記電極に電気的に接続させて配線を形成する工程を含み、前記変形部の形成工程は、前記配線上にレジスト部を形成する工程と、前記配線上で前記レジスト部に穴を形成する工程と、電気铸造法を通じて前記穴に金属を铸造して前記変形部を形成する工程と、を含んでもよい。

【0024】この工程によって、簡単に変形部を形成することができる。変形部の形成後は、レジスト部を残しても良いし、除去しても良い。

40 【0025】(10) 本発明は、前記変形部を形成する工程の後に、前記レジスト部の下部が前記配線の保護膜として残るように該下部よりも上部を除去する工程を含んでもよい。

【0026】こうすることで、保護膜が配線を覆ってその表面を保護することができる。

【0027】(11) 前記レジスト部を形成する工程は、前記配線の保護膜とするに足りる薄い第1のレジスト層を形成する工程と、前記第1のレジスト層よりも厚い第2のレジスト層を形成する工程と、を含み、前記変形部を形成する工程の後に、前記第1のレジスト層を残

して前記第2のレジスト層を除去し、前記第1及び第2のレジスト層に用いられる材料は、除去されるときの化学的性質において異なっていてもよい。

【0028】こうして、第1及び第2のレジスト層を用いて変形部を形成し、その後、第2のレジスト層を除去し、第1のレジスト層を保護膜として残すことができる。特に、第1及び第2のレジスト層が除去されるときの化学的性質において異なるので、簡単に、第1のレジスト層を残して第2のレジスト層を除去することができる。

【0029】(12)本発明は、前記変形部に接して該変形部の変形に応じて弾性変形する樹脂を設ける工程を含んでもよい。

【0030】こうすることで、樹脂が変形部を支えて、熱ストレス以外の外力によって変形部が可塑変形してしまうことを防止できる半導体装置を得ることができる。

【0031】(13)前記レジスト部を形成する工程は、前記配線の保護膜とするに足りる薄い第1のレジスト層を形成する工程と、前記第1のレジスト層よりも厚い第2のレジスト層を形成する工程と、を含み、前記変形部を形成した後に、前記第1のレジスト層を残すとともに、前記変形部付近の領域を残して前記第2のレジスト層を除去し、前記第1及び第2のレジスト層に用いられる材料は、除去されるときの化学的性質において異なっていてもよい。

【0032】ここで、第2のレジスト層は、変形部付近の領域のみが残されて変形部を支え、熱ストレス以外の外力によって変形部が可塑変形してしまうことを防止できるようになる。

【0033】また、この製造方法によれば、第1及び第2のレジスト層を用いて変形部を形成し、その後、第1のレジスト層を保護膜として残すことができる。第1及び第2のレジスト層は、除去されるときの化学的性質において異なるので、簡単に、第1のレジスト層を残して、第2のレジスト層の大部分を除去することができる。

【0034】(14)前記レジスト部を形成する工程は、前記配線の保護膜とするに足りる薄い第1のレジスト層を形成する工程と、前記第1のレジスト層よりも厚い第2のレジスト層を形成する工程と、を含み、前記穴の形成と同時に、前記第1のレジスト層を残すとともに、前記変形部付近の領域を残して前記第2のレジスト層を除去し、前記第1及び第2のレジスト層に用いられる材料は、除去されるときの化学的性質において異なっていてもよい。

【0035】ここで、穴を形成する工程と同時に、第2のレジスト層の一部を残して除去する工程が行われるので、工程時間が短縮される。

【0036】第2のレジスト層は、変形部付近の領域のみが残されて、変形部の外周面に接する柔軟部材とな

る。そして、残された第2のレジスト層の一部は変形部を支えて、熱ストレス以外の外力によって変形部が可塑変形してしまうことを防止できるようになる。

【0037】また、この製造方法によれば、第1及び第2のレジスト層が除去されるときの化学的性質において異なるので、簡単に、第1のレジスト層を保護膜として残して、第2のレジスト層の大部分を除去することができる。

【0038】(15)本発明は、前記配線の形成工程の前に、該配線の下に位置する応力緩和層を形成する工程を含んでもよい。

【0039】こうすることで、変形部による熱ストレスの吸収と、応力緩和層による熱ストレスの吸収と、両方が行われる半導体装置を製造することができる。

【0040】(16)本発明に係る回路基板は、上記半導体装置が実装されてなる。

【0041】(17)本発明に係る電子機器は、上記回路基板を有する。

【0042】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。

【0043】なお、各図面は説明を分かりやすくするために一部を拡大して示したものである。以下の説明においては、最終的に個片にしたときの1つの半導体装置を想定して説明しているため、用いている用語や形状等において若干実際と異なる箇所がある。半導体チップと記載してある箇所は、その意味の通り個片（すなわちチップ状）のものを指す場合にとどまらず、個片になっていないウエーハ状のものを指す場合もある。すなわちここでいう半導体チップとはベース基板（例えばシリコンからなる）上に切り離したとしても使える所定の回路が形成されれば良く、切り離されて個片となっているかそれとも一体となっているかについては特に限定する必要はない。また配線等の説明に必要な個所の代表的な箇所のみを取り上げているので、各図にはその他の箇所に同様のものやその他の構造が省略されている。

【0044】(第1実施形態)図1は、第1実施形態に係る半導体装置を示す断面図である。同図に示す半導体装置10は、応力緩和層16と、この上に形成された配線18と、を有するCSP型のものである。詳しくは、半導体チップ12の能動面12a上に、電極14を避けて応力緩和層16が形成され、電極14から応力緩和層16の上にかけて配線18が形成されている。

【0045】ここで、応力緩和層16は、ポリイミド樹脂からなり、半導体装置10が基板(図示せず)に実装されたときに、半導体チップ12と実装される基板との熱膨張係数の差によって生じる応力を緩和するものである。また、ポリイミド樹脂は、配線18に対して絶縁性を有し、半導体チップ12の能動面12aを保護することができ、実装時のハンダを溶融するときの耐熱性も有

する。ポリイミド樹脂の中でも、ヤング率が低いもの（例えはオレフィン系のポリイミド樹脂やダウケミカル社製のB C B等）を用いることが好ましく、特にヤング率が $40\sim50\text{ kg/mm}^2$ 程度であることが好ましい。応力緩和層16は、厚いほど応力緩和力が大きくなるが、半導体装置の大きさや製造コスト等を考慮すると、 $1\sim100\mu\text{m}$ 程度の厚みとすることが好ましい。ただし、ヤング率が $40\sim50\text{ kg/mm}^2$ 程度のポリイミド樹脂を用いた場合には、 $10\mu\text{m}$ 程度の厚みで足りる。

【0046】あるいは、応力緩和層16として、例えはシリコーン変性ポリイミド樹脂、エポキシ樹脂やシリコーン変性エポキシ樹脂等、ヤング率が低く応力緩和の働きを果たせる材質を用いてもよい。また、応力緩和層16の代わりに、パッシベーション層(SiN、SiO₂など)を形成し、応力緩和自体は、後述する変形部20で行ってもよい。この場合、応力緩和層16を補助的に設けてもよい。

【0047】配線18は、クローム(Cr)からなる。ここで、クローム(Cr)は、応力緩和層16を構成するポリイミド樹脂との密着性が良いことから選択された。あるいは、耐クラック性を考慮すれば、アルミニウムやアルミシリコン、アルミカッパー等のアルミ合金又はカッパー合金又は銅(Cu)又は金のような延展性(延びる性質)のある金属でもよい。または、耐湿性に優れたチタン又はチタンタングステンを選択すれば、腐食による断線を防止することができる。チタンは、ポリイミドとの密着性の観点からも好ましい。なお配線は、上記金属を組み合わせて2層以上に形成しても良い。なお、配線材料については、以下の各実施形態で共通である。

【0048】配線18上には、接合部19が形成され、接合部19上に、この接合部19よりも断面積が小さい変形部20が形成されている。変形部20は、銅などの金属からなり、能動面12a内で、能動面に対してほぼ直角に立ち上がって細長い形状をなす。変形部20は、細長い形状をなすので、図1の左側に二点鎖線で示すように、屈曲できるようになっている。

【0049】変形部20の先端には、外部電極部22が形成されている。外部電極部22は、半導体装置10と実装基板(図示せず)との電気的な接続を図るために、ハンダボールなどが上に設けられてもよい。外部電極部22は、実装基板との電気的な接続又はハンダボール搭載を可能にする大きさで形成されている。あるいは、変形部20の先端部を外部電極部22としてもよい。このことは、以下の実施形態においても共通である。

【0050】また、配線18及び応力緩和層16の上には、能動面12aの全面の上方を覆うようにソルダーレジスト24が設けられている。このソルダーレジスト24

は、配線18及び能動面12aを保護してこれらの腐食等が防止される。

【0051】本実施形態によれば、変形部20が曲がって変形すると、それに従って外部電極部22が移動するようになっている。こうなることで、半導体装置10の外部電極部22に対して加えられる熱ストレスが、変形部20の変形によって吸収される。

【0052】なお、本実施形態では、応力緩和層16が形成されているが、変形部20は応力緩和層16よりも変形しやすくなるように形成されているので、変形部20だけでも熱ストレスを吸収することが可能である。したがって、応力緩和層16の代わりに、応力緩和機能を有しない材質からなる層(例えは単なる絶縁層又は保護層)を形成した構造であっても、熱ストレスの吸収が可能となる。

【0053】(第2実施形態) 図2は、第2実施形態に係る半導体装置を示す断面図である。同図に示す半導体装置30において、半導体チップ32の図示しないパッシベーション膜上に、配線38が形成されている。配線38は、半導体チップ32の能動面32aの端部に設けられた電極34から、中央方向にひかれている。そして、能動面32aの中央付近で、配線38の上に、変形部40が設けられている。変形部40の先端には外部電極部42が設けられている。変形部40及び外部電極部42の構成及び機能は、図1に示す変形部20及び外部電極部22と同様である。そして、配線38上であって能動面32aを覆って、保護膜36が形成されている。保護膜36によって、配線38が酸化等から保護される。本実施形態では、保護膜36は、フォトレジスト(感光性のポリイミド樹脂等)から形成されているが、可視光以外を対象としたレジストから形成されてもよい。

【0054】本実施形態でも、変形部40が変形することで、熱ストレスの吸収を図ることができる。

【0055】次に、図3(A)～図5(B)は、図2に示す半導体装置の製造方法を示す図である。この方法は、ウェハの状態で複数の半導体装置を一体的に製造してから、個片に切断する方法である。

【0056】まず、周知の技術によって、通常、ダイシングを行う前の状態までウェハ50に電極34その他の素子を形成しておく(図3(A)参照)。なお本実施形態では、電極34はアルミニウムで形成されるが、アルミニウム合金系の材料(例えはアルミニウムシリコンやアルミニウムシリコン銅など)もしくは銅系の材料を用いても良い。

【0057】また、ウェハ50の表面には、化学的変化を防止するために酸化膜などからなるパッシベーション膜(図示せず)が形成されている。パッシベーション膜は、電極34を避けるのみならず、ダイシングが行われるスクライブラインも避けて形成される。スクライブ

ラインにパッシベーション膜を形成しないことで、ダイシング時に、パッシベーション膜により発生するゴミの発生を避けることができ、さらに、パッシベーション膜のクラックの発生も防止することができる。

【0058】 続いて、ウエーハ50をターゲットとしてスパッタリングを行って、ウエーハ50の表面の異物を飛ばす。

【0059】 次に、図3(A)に示すように、配線34を形成する。具体的には、スパッタリングによってウエーハ50の全面にチタンタングステン(TiW)層及び銅(Cu)層を重ねて形成した場合について述べると、銅層の上に、銅メッキ層を電気メッキ法により形成する。そして、チタンタングステン層、銅層及び銅メッキ層に対して、フォトリソグラフィの技術を適用してドライエッティングを行って配線38を形成する。

【0060】 次に、図3(B)に示すように、配線38の上を覆ってウエーハ50の全面に、感光性のポリイミド樹脂を塗布して保護膜36を形成する。

【0061】 そして、図3(C)に示すように、保護膜36の上方にマスク52を配置する。マスク52には、図2に示す変形部40の形成領域に対応して穴52aが形成されている。変形部40は配線38の上に位置する。変形部40を形成するために、配線38には、配線38自体の幅よりも面積の大きいランドが形成されることが好ましい。マスク52の上方から光54を照射して保護膜36を露光し、その後乾燥、現像、洗浄、乾燥及び硬化の工程を行う。こうして、図4(A)に示すように、保護膜36に穴36aが形成される。穴36aは、配線38に至るまで貫通している。

【0062】 続いて、図4(B)に示すように、保護膜36の上にレジスト層56を形成する。レジスト層56は、保護膜36とは異なる感光性の樹脂からなる。具体的には、レジスト層56は、化学的に除去されるときの性質において、保護膜36と異なる。そして、レジスト層56を除去しても保護膜36は除去されないようになっている。また、レジスト層56は、保護膜36よりも厚く(例えば100~300μm程度)形成される。この厚みは、変形部40の高さに対応する。

【0063】 そして、図4(C)に示すように、レジスト層56の上方にマスク52を配置する。マスク52は、保護膜36に穴36aを形成したときに用いたものであり、その穴52aを保護膜36の穴36aに対応させて配置する。マスク52の上方から光54を照射してレジスト層56を露光し、その後乾燥、現像、洗浄、乾燥及び硬化の工程を行う。

【0064】 こうして、図5(A)に示すように、レジスト層56に穴56aが形成される。穴56aは、保護膜36の穴36aと連通しており、穴36aは配線38に至るまで貫通している。

【0065】 続いて、図5(B)に示すように、穴36

a及び穴56a内に、電気铸造法(電気メッキ法)や無電解メッキ法等を通じて金属をメッキして変形部40を形成する。ここで用いられる金属は、銅などの導電性の高いものである。また、変形部40の上端に外部電極部42を形成する。外部電極部42の形成は、変形部40の形成と連続して行っても良い。その場合には、外部電極部42は、変形部40と同一の金属から形成されるが、第1実施形態で述べたように、それ以外の導電性の高い金属を使用してもよい。

【0066】 その後、レジスト層56を除去する。上述したように、レジスト層56と保護膜36とは、化学的性質において異なり、レジスト層56を除去しても保護膜36は残るようになっている。そして、ウエーハ50を個片に切断して、図2に示す半導体装置30が得られる。なお、必要に応じて、外部電極部42にはハンダボールを搭載してもよい。

【0067】 上記工程によれば、ほぼ全ての工程をウエーハプロセスで行って製造することができる。具体的には、複数の半導体装置を一体的に製造して、その後にウエーハ50を個々の個片に切断して半導体装置30を得る。

【0068】 このように、ウエーハプロセスでほぼ全ての工程を行ってから個々の半導体装置に切断すれば、多数の半導体装置30の形成を同時に実行するので、製造工程を簡略化することができる。

【0069】 なお、上記工程では、レジスト層56を除去せずに残しても良い。この場合、レジスト層56は、ヤング率の低い材料から形成されるときには、変形部40の外周面に接する柔軟部材となる。そして、レジスト層56は、変形部40が外力等によって塑性変形することを防止する。

【0070】 また、上記工程では、フォトリソグラフィによって穴36a、56aを形成したが、これらをレーザを使用して形成してもよい。

【0071】 (第3実施形態) 図6は、第3実施形態に係る半導体装置を示す断面図である。同図に示す半導体装置60は、図2に示す半導体装置30の変形部40の周囲に柔軟部62が設けられたものである。詳しくは、柔軟部62は、ポリイミド樹脂等の第1実施形態で述べられた応力緩和の働きを果たせる樹脂からなり、特にヤング率が低いものを用いることが好ましい。

【0072】 本実施形態によれば、柔軟部62が変形部40の外周面に接しており、変形部40の変形に応じて柔軟部62も弾性変形する。これによって、変形部40が支持されて、外力等による変形部40の塑性変形が防止される。

【0073】 (第4実施形態) 図7(A)は、第4実施形態に係る半導体装置を示す断面図である。同図に示す半導体装置70は、図2に示す半導体チップ32、電極34、保護膜36、配線38、変形部40及び外部電極

部42を有する。そして、変形部40の外周面に接するように柔軟部72が設けられている。詳しくは、外部電極部42の外形を超えないように、この外部電極部42の下に柔軟部72が設けられている。なお、柔軟部72は、ヤング率の低いポリイミド樹脂などのフォトレジストから構成されている。

【0074】図7(B)は、半導体装置70の製造方法を示す図である。同図において、半導体チップ32の能動面32a上に保護膜36が形成され、保護膜36の上にはレジスト層74が形成されている。この状態は、図5(B)に示す状態と同様であり、同様の方法により形成される。レジスト層74は、図5(B)に示すレジスト層56に対応する。

【0075】そして、レジスト層74の上方に、マスク76を配置する。マスク76には、外部電極部42の外側に対応して開口部76aが形成されている。したがって、マスク76を通して、レジスト層74を露光し、現像して暴露領域を除去すると、図7(A)に示すように、レジスト層74は、外部電極部42の下方において残つて柔軟部72が残る。

【0076】本実施形態でも、柔軟部72が変形部40の外周面に接しており、変形部40の変形に応じて柔軟部72が弾性変形する。これによって、変形部40が支持されて、外力等による変形部40の塑性変形が防止される。

【0077】なお、レジスト層74の除去は、ドライ又はウェットのエッチャリングによって行ってもよい。

【0078】図8(A)及び図8(B)は、第4実施形態に係る半導体装置の製造方法の変形例を示す図である。この変形例では、図8(A)に示すように、半導体チップ32の能動面32a上に保護膜36を形成し、保護膜36に穴36aを形成してから、保護膜36の上にレジスト層78を形成する。レジスト層78は、図7(B)に示すレジスト層74と同じ材料から形成される。

【0079】そして、レジスト層78の上にマスク80を配置する。マスク80は、図7(A)に示す柔軟部72の平面形状に対応するパターンをなす。すなわち、マスク80には、柔軟部72の外形の外側に対応する開口部80aと、保護膜36の穴36aの上方に位置する穴80bと、が形成されている。

【0080】したがって、このマスク80を介して、レジスト層78を露光し、現像して暴露領域を除去すると、図8(B)に示すように、円柱部82が残る。円柱部82には、保護膜36の穴36aと連通する穴82aが形成されている。

【0081】そして、穴82a、36a内に変形部40を形成することで、円柱部82が柔軟部72となり、図7(A)に示す半導体装置70を製造することができる。

【0082】本変形例によれば、穴82aの形成と、レジスト層78の暴露領域の除去と、が同時に出来るので、工程の短縮を図ることができる。

【0083】図9に、本発明が適用される代表的なCSP型の半導体装置として、図1に示す半導体装置の平面図を示す。同図において、半導体チップ12の電極14から、能動面12aの中央方向に配線18が形成され、各配線18には変形部20(図1参照)を介して外部電極部22が設けられている。全ての外部電極部22は、図1に示すように、応力緩和層16の上に設けられている。そして、変形部20(図1参照)及び応力緩和層16によって、回路基板(図示せず)に実装されたときの応力の緩和を図ることができる。なお、応力緩和層16は、必須の構成ではないので、変形部20だけでも応力の緩和を図ることができる。また、外部電極部22を除く領域には、保護膜としてソルダーレジスト24が形成されている。

【0084】電極14は、半導体チップ12の周辺部に位置する、いわゆる周辺電極型の例であるが、半導体チップの周辺領域よりも内側領域に電極が形成されたエリアアレイ配置型の半導体チップを用いても良い。

【0085】なお、同図に示されるように、外部電極部22は半導体チップ12の電極14上ではなく半導体チップ12の能動領域(能動素子が形成されている領域)に設けられている。応力緩和層16を能動領域に設け、更に配線18を能動領域内に配設する(引き込む)ことで、外部電極部22を能動領域内に設けることができる。すなわち、ピッチ変換をすることができる。従って外部電極部22を配置する際に能動領域内、すなわち一定の面としての領域が提供できることになり、外部電極部22の設定位置の自由度が非常に増すことになる。

【0086】そして、配線18を必要な位置で屈曲させることにより、外部電極部22は格子状に並ぶように設けられている。なお、これは、本発明の必須の構成ではないので、外部電極部22は必ずしも格子状に並ぶよう設けなくても良い。

【0087】また、図9には、電極14と配線18との接合部において、電極14の幅と配線18の幅が、配線18 < 電極14

となっているが、

電極14 ≦ 配線18

とすることが好ましい。特に、

電極14 < 配線18

となる場合には、配線18の抵抗値が小さくなるばかりか、強度が増すので断線が防止される。

【0088】なお、本発明は、CSP型の半導体装置に限定されるものではない。例えば、半導体チップの電極上に直接変形部を積層すれば、フリップチップと同等のサイズでありながら、応力緩和機能も有する半導体装置が得られる。

【0089】図10には、上述した実施形態に係る方法によって製造された半導体装置1100を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には例えば銅からなる配線パターンが所望の回路となるように形成されるとともに、この回路基板1000にハンダボールが設けられている。そして、配線パターンのハンダボールと半導体装置1100の外部電極部とを機械的に接続することでそれらの電気的導通が図られる。

【0090】この場合、半導体装置1100には外部との熱膨張差により生じる歪みを吸収する構造が設けられているため、本半導体装置1100を回路基板1000に実装しても接続時及びそれ以降の信頼性を向上できる。

【0091】なお、実装面積もベアチップにて実装した面積にまで小さくすることができる。このため、この回路基板1000を電子機器に用いれば電子機器自体の小型化が図れる。また、同一面積内においてはより実装スペースを確保することができ、高機能化を図ることも可能である。

【0092】そして、この回路基板1000を備える電子機器として、図11には、ノート型パーソナルコンピュータ1200が示されている。

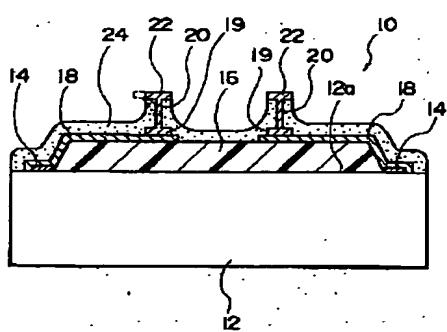
【0093】なお、能動部品か受動部品かを問わず、種々の面実装用の電子部品に本発明を応用することもできる。電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

【0094】

【図面の簡単な説明】

【図1】図1は、第1実施形態に係る半導体装置を示す図である。

【図1】



【図2】図2は、第2実施形態に係る半導体装置を示す図である。

【図3】図3(A)～図3(C)は、第2実施形態に係る半導体装置の製造方法を示す図である。

【図4】図4(A)～図4(C)は、第2実施形態に係る半導体装置の製造方法を示す図である。

【図5】図5(A)及び図5(B)は、第2実施形態に係る半導体装置の製造方法を示す図である。

【図6】図6は、第3実施形態に係る半導体装置を示す断面図である。

【図7】図7(A)及び図7(B)は、第4実施形態に係る半導体装置及びその製造方法を示す図である。

【図8】図8(A)及び図8(B)は、第4実施形態に係る半導体装置の製造方法の変形例を示す図である。

【図9】図9は、本発明が適用される代表的なCSP型の半導体装置を示す図である。

【図10】図10は、本実施形態に係る半導体装置が実装された回路基板を示す図である。

【図11】図11は、本実施形態に係る半導体装置が実装された回路基板を備える電子機器を示す図である。

【符号の説明】

10 半導体装置

12 半導体チップ

12a 能動面

14 電極

16 応力緩和層

18 配線

20 変形部

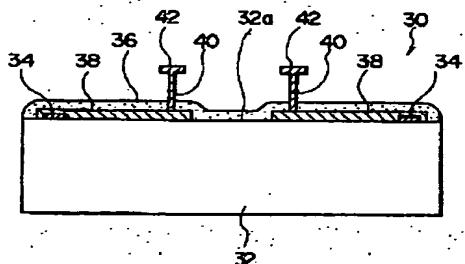
22 外部電極部

30 保護膜

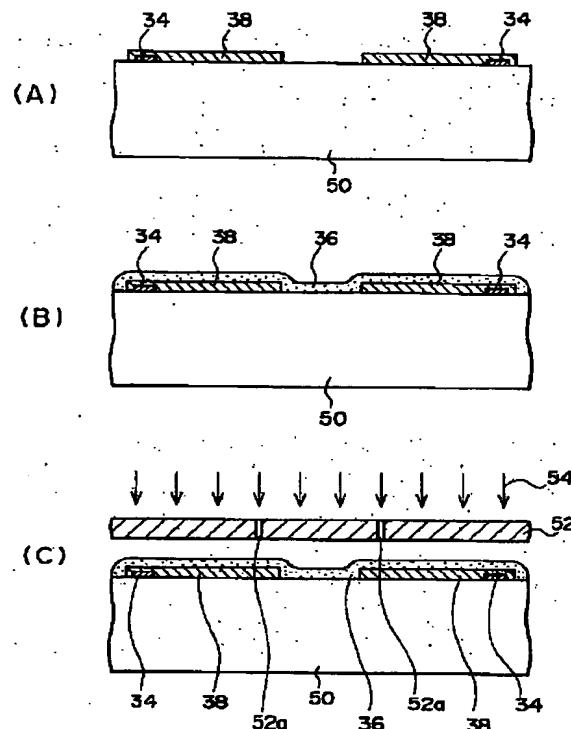
56 レジスト層(柔軟部材)

72 柔軟部(柔軟部材)

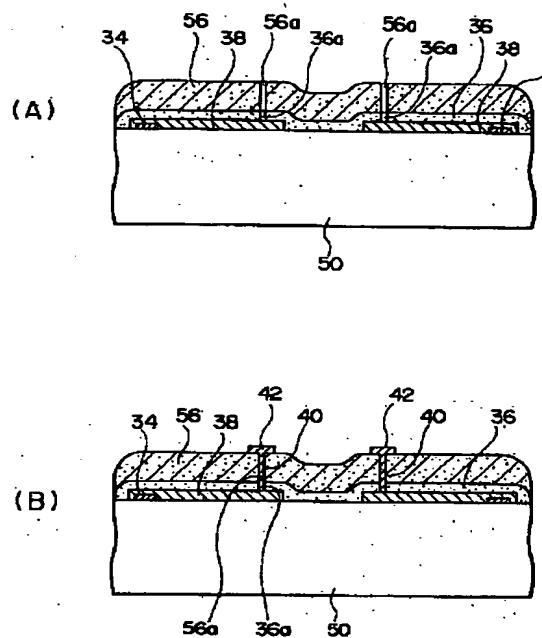
【図2】



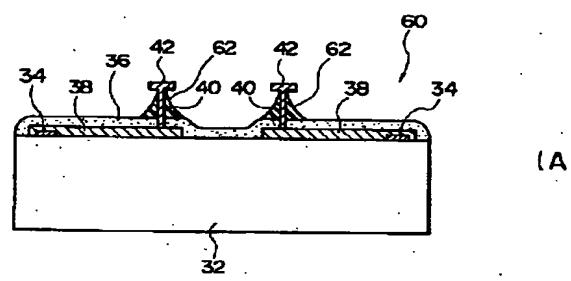
【図3】



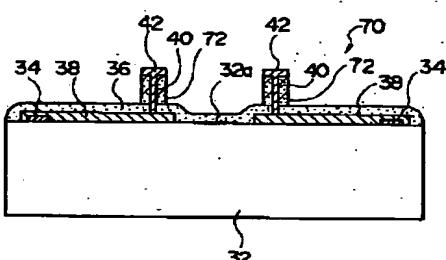
【図5】



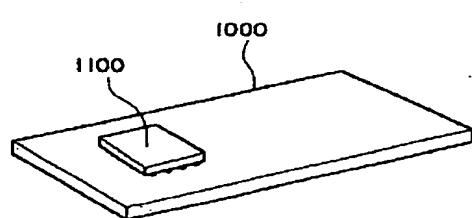
【図6】



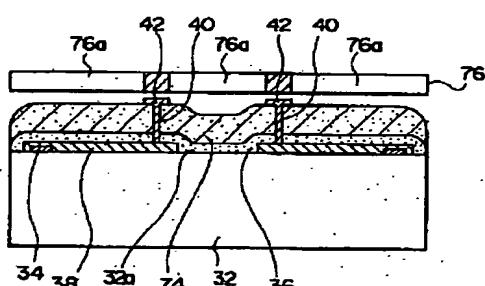
【図7】



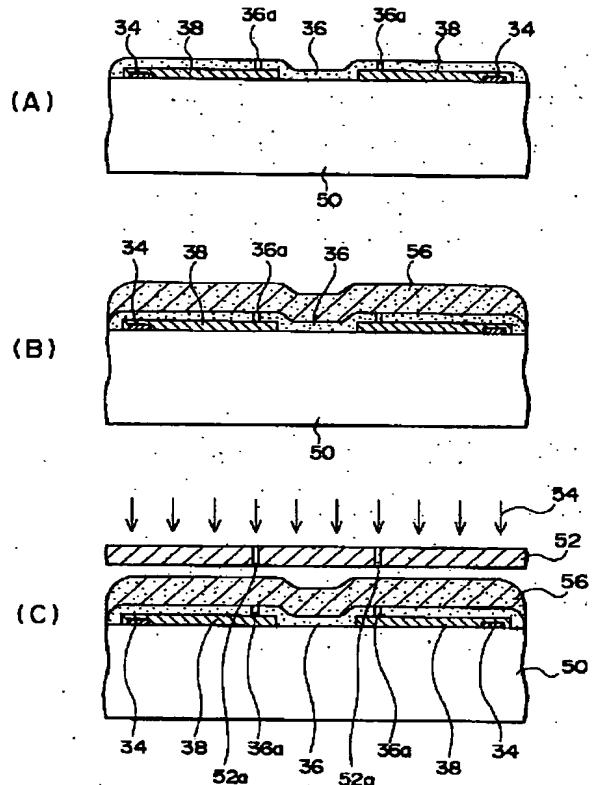
【図10】



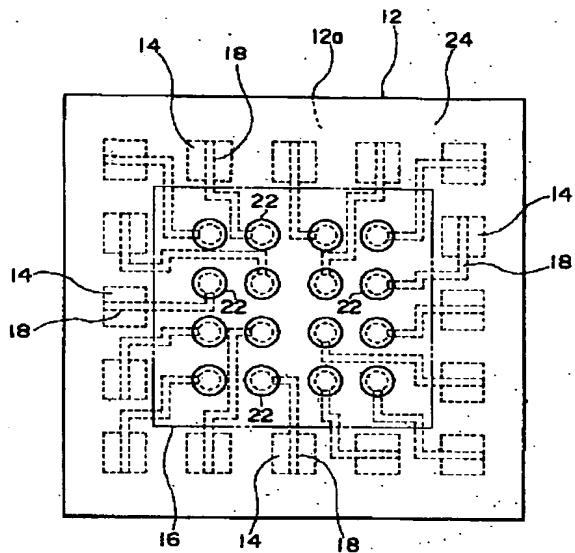
(B)



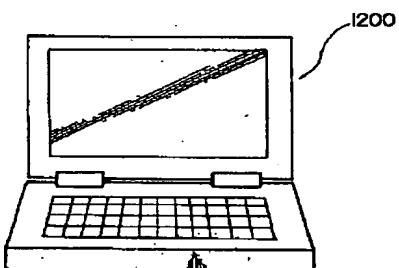
【図4】



【図9】



【図11】



【図8】

